

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-8534

⑤ Int.Cl.⁴
H 01 L 21/60

識別記号

庁内整理番号
6732-5F

⑬ 公開 昭和62年(1987)1月16日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体実装構造

⑮ 特 願 昭60-147403

⑯ 出 願 昭60(1985)7月4日

⑰ 発 明 者 塚 原 正 宏 塩尻市大字塩尻町390番地 塩尻工業株式会社内
⑱ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社
⑲ 代 理 人 弁理士 最 上 務

明 細 書

1. 発明の名称

半導体実装構造

2. 特許請求の範囲

(1) 半導体上面に他の半導体を複数にダイボンドすることを特徴とする半導体実装。

(2) ボード上にダイボンドされた半導体の電極部と半導体上面にダイボンドされた半導体の電極部をワイヤーボンド法によりワイヤー線により導通させることを特徴とする特許請求の範囲第1項記載の半導体実装構造。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体の実装に関し、電子機器に利用される可能性が大きい。

〔発明の概要〕

本発明は半導体実装分野において半導体上面に

他の半導体を実装することにより平面スペースの縮小化を図ったものである。

〔従来の技術〕

従来の半導体実装は第2図で示すようにボード3の上面に複数の半導体1, 2をダイボンドし半導体間の導通をとる手段としてボード3上のパターンをかいしてワイヤーボンディング法により実施していた。

〔発明が解決しようとする問題点及び目的〕

しかし、前述の従来技術ではボード上に平面的に半導体をダイボンドするため実装面積が広く必要とする。そこで本発明はこのような問題点を解決するもので、その目的とするところは半導体上に半導体を実装することにより、実装面積の縮小化を実現する、実装構造を提供するものである。

〔問題点を解決するための手段〕

本発明の実装構造はボード上にダイボンドした半導体上に他の半導体をダイボンドをし、両半導体電極をワイヤーボンディング法により接続し導

通をえることを特徴とする。

〔実施例〕

第1図(a)は本発明の実施例における実装断面図であって1はボードに実装された半導体である。2は半導体1の上面に実装された半導体である。3はボード、4はボード上面に配線されたパターンである。5はワイヤーボンディング後の配線されたワイヤー線である。7は半導体を保護するための保護材である。第1工程としてボード3の上面に接着材6を塗布する。第2工程として半導体1をボード3にダイボンドする。第3工程として半導体1の上面の半導体2をダイボンドする位置と接着材6を塗布する。第4工程として半導体1の上面に半導体2をダイボンドする。接着材6を硬化後、第5工程としてワイヤーボンディング法により半導体1の電極部とパターン4をワイヤー線9により導通させる。第6工程として第5工程と同様に半導体1の電極部と半導体2の電極部をワイヤー線5により導通させる。第7工程として保護材7を半導体が見えないように塗布し硬

る。第2図(b)は従来の断面図である。

- 1 …… 半導体
- 2 …… 半導体
- 3 …… ボード
- 4 …… パターン
- 5 …… ワイヤー線
- 6 …… 接着剤
- 7 …… 保護材

以 上

出願人 株式会社諏訪精工舎
代理人 弁理士 最上 務

化させる。第1図(b)は本発明の実装断面図である。説明については第1図(a)の断面図と同様であるため説明は省く。

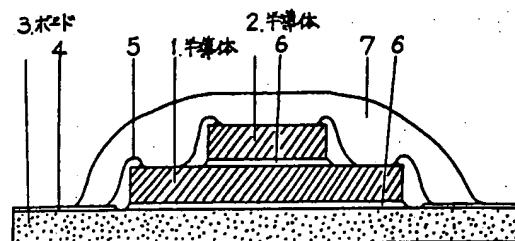
第2図(a)は従来の実装断面図であり、第2図(b)は実装断面図である。第1工程としてボード3に接着材6を塗布する、第2工程として半導体1及び半導体2をダイボンドする、第3工程としてワイヤーボンディング法によりワイヤー線5により半導体1、半導体2とパターン4を導通させる。第4工程として保護材7を半導体1、半導体2が見えないように塗布し硬化させる。

〔発明の効果〕

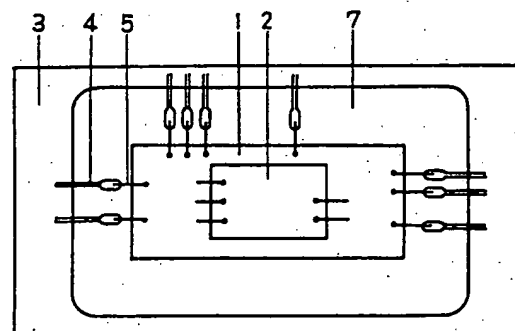
以上述べたように発明によれば半導体上面に他の半導体を実装することにより実装面積を大巾に縮小することが出来る。

4. 図面の簡単な説明

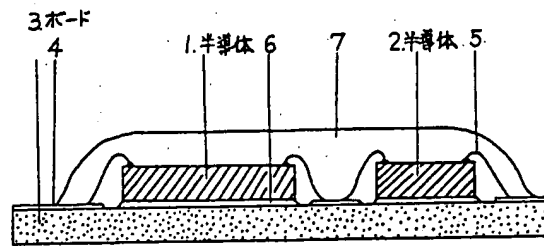
第1図(a)は本発明の実装構造を示す断面図である。第1図(b)は本発明の平面図である。第2図(a)は従来の実装構造を示す断面図であ



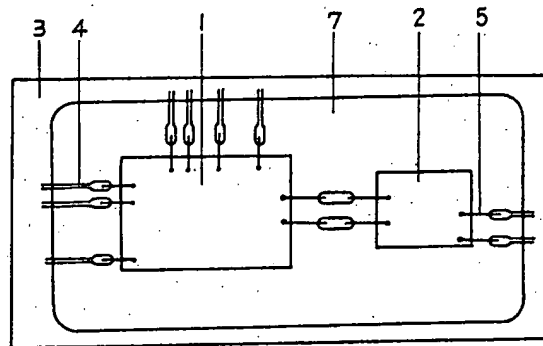
実装断面図
第1図(a)



実装平面図
第1図(b)



従来の実装断面図
第2図(a)



従来の実装平面図
第2図(b)

[Translation]

(19) Japanese Patent Office (JP)
(11) Japanese Patent Application Kokai Publication No. Sho 62-8534
(12) Official Gazette for Kokai Patent Applications (A)
(43) Kokai Publication Date: January 16, 1987
(51) Int. Cl.⁴ Identification No. JPO File No.
H01L 21/60 6732-5F

Number of claims: 1 Examination request: Not filed (total 3 pages [original])

(54) Title of the Invention: SEMICONDUCTOR MOUNTING STRUCTURE

(21) Application No. Sho 60-147403

(22) Filing Date: July 4, 1985

(72) Inventor: TSUKAHARA, Masahiro
c/o Shiojiri Kogyo, 390 Shiojiri-cho, Shiojiri-shi

(71) Applicant: Seiko Epson Corp.
2-4-1 Nishi Shinjuku, Shinjuku-ku, Tokyo

(74) Agent: Tsutomu Saijo, patent attorney

Specification

1. Title of the Invention

SEMICONDUCTOR MOUNTING STRUCTURE

2. Claims

(1) Semiconductor mounting characterized by the fact that a plurality of semiconductors are die-bonded to the upper face of a semiconductor.

(2) A semiconductor mounting structure according to claim 1, further characterized by the fact that electrode parts of a semiconductor die-bonded on a board and electrode parts of a semiconductor die-bonded on the upper face of a semiconductor are electrically connected by means of wire leads by a wire bonding method.

3. Detailed description of the invention

(Industrial Field of Application)

The present invention relates to the mounting of semiconductors and offers significant possibilities for applications in electronic devices.

(Summary of the Invention)

The present invention as a purpose of reducing the surface in the field of semiconductor mounting by mounting another semiconductor on the upper face of a semiconductor.

(Prior Art)

Conventional semiconductor mounting is performed, as shown in Figure 2, by die-bonding a plurality of semiconductors 1 and 2 to the upper face of a board 3, and wire bonding via a pattern on the board 3 as a means of connecting the semiconductors.

(Problems That the Invention Is to Solve and Purpose)

Nevertheless, in the prior art described above, a large mounting surface area is required for the die bonding of semiconductors. In order to solve these problems, the present invention offers a mounting structure whereby the mounting area can be reduced by mounting a semiconductor on another semiconductor.

(Means Used to Solve the Problems)

The mounting structure of the present invention is characterized by the fact that a semiconductor is die-bonded on another semiconductor that has been die-bonded on a board, and the electrodes of both semiconductors are connected by wire bonding.

(Working Examples)

Figure 1 (a) is a cross-sectional mounting diagram of a working example of the present invention where 1 represents a semiconductor mounted on a board. Another semiconductor 2 is mounted on the upper face of said semiconductor 1. A pattern 3 is formed on the upper face of a board 4. Wire leads 5 are arranged after wire bonding. A protective material 7 is applied for protecting the semiconductor. In step 1, the upper face of the board 3 is coated with an adhesive material 6. In step 2, the semiconductor 1 is die-bonded to the board 3. In step 3, adhesive material 6 is applied to the location where semiconductor 2 is to be die-bonded to the upper face of the semiconductor 1. In step 4, the semiconductor 2 is die-bonded to the upper face of the semiconductor 1. After the adhesive material 6 has hardened, in step 5 the electrode parts of the semiconductor 1 and pattern 4 are connected by the wire leads 5 by means of a wire bonding method. In step 6, the electrode parts of the semiconductor 1 and electrode parts of the semiconductor 2 are electrically connected by wire leads 5 in the same way as in step 5, and in step 7, a protective material 7 is applied in hardened so that the semiconductor cannot be seen. Figure 1 (b) is a plan view of mounting of the present invention. This is the same as a plan view of Figure 1 (a), and explanation thereof is therefore omitted.

Figure 2 (a) is a cross-sectional view of conventional mounting, and Figure 2 (b) is a plan view of such mounting. In step 1, adhesive material 6 is applied to the board 1, in step 2 semiconductor 1 and semiconductor 2 are die-bonded, and in step 3 semiconductor 1, semiconductor 2 and a pattern 4 are connected by wire leads 5 by a wire bonding method. In step 4, the protective material 7 is applied in hardened so that semiconductor 1 and semiconductor 2 cannot be seen.

(Effects of the Invention)

As explained above, by means of the present invention it is possible to reduce substantially the mounting surface area by mounting one semiconductor on the upper face of another semiconductor.

4. Brief Explanation of the Drawings

Figure 1 (a) is a cross-sectional view showing the mounting structure of the present invention. Figure 1 (b) is a plan view thereof. Figure 2 (a) is a cross-sectional view showing a conventional mounting structure. Figure 2 (b) is a plan view of a conventional mounting structure.

- 1... semiconductor
- 2... semiconductor
- 3... board
- 4... pattern
- 5... wire lead
- 6... adhesive.
- 7... protective material

Cross-sectional diagram of mounting

Figure 1 (a)

- 1... semiconductor
- 2... semiconductor
- 3... board

Plan view of mounting

Figure 1 (b)

Applicant: Kabushiki Kaisha Suwa Seikosha

Agent: Tsutomu Saijo, patent attorney

Cross-sectional diagram of conventional mounting

Figure 2 (a)

1... semiconductor

2... semiconductor

3... board

Plan view of conventional mounting

Figure 2 (b)